

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-343528

(49)公開日 平成5年(1993)12月24日

(51)Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

21/265

27/108

8225-4M

H 0 1 L 21/ 82

F

8617-4M

21/ 265

W

審査請求 有 請求項の数10(全 6 頁) 最終頁に続く

(21)出願番号 特願平5-40720

(22)出願日 平成5年(1993)2月5日

(31)優先権主張番号 07/832581

(32)優先日 1992年2月7日

(33)優先権主張国 米国(US)

(71)出願人 591020009

マイクロン・テクノロジー・インコーポレ  
イテッドMICRON TECHNOLOGY, I  
NCORPORATEDアメリカ合衆国、83706 アイダホ州、ボ  
ーズ、イースト・コロンビア・ロード  
2805

(72)発明者 ロジャー・アール・リー

アメリカ合衆国、83706 アイダホ州、ボ  
ーズ、レインドロップ・ドライブ 3351

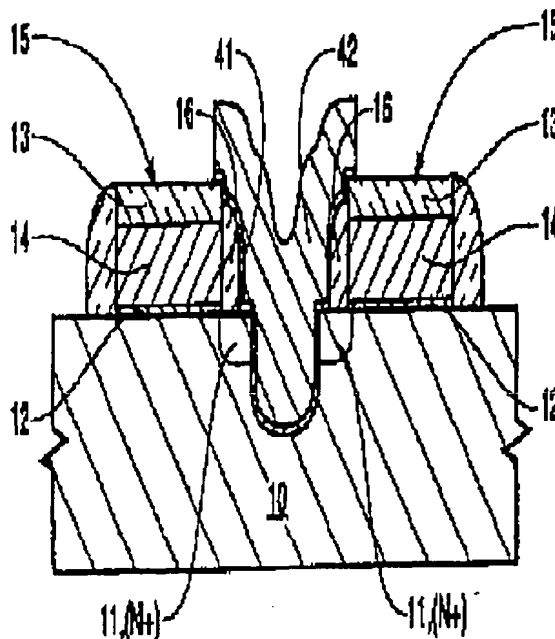
(74)代理人 弁理士 田澤 博昭 (外2名)

(54)【発明の名称】 プログラム特性を改善したワンタイムプログラム可能な素子の製造方法

(57)【要約】

【目的】 本発明は、局所的な電界増強の拡散領域を利用してアンチフューズ素子のプログラム特性を改良することによる。

【構成】 アンチフューズ素子を用いた半導体装置の製造において、アクセス線(15)、通常ワード線、を形成した後、隣接するアクセス線(15)間を自己整合してトレンチを形成して拡散領域を分断する。次に、アクセス線のスペーサ(16)をエッチバックして形成されたスペーサをマスクにして拡散領域(11)の露出されたエッジ部(31)とトレンチ(22)の底に低エネルギーで重いドーズをイオン注入する。アンチフューズ絶縁層(41)上に通常ソース線としての第2導電アクセス線(42)を設けてトレンチ内に埋込ませてプログラム可能なアンチフューズ素子を形成する。拡散領域(11)中に重いドーズのドーパされた領域を形成することによって、プログラム電圧を低下させ、かつアンチフューズ素子の耐絶縁破壊をもたらす。



## 【특許請求의範圍】

【請求項1】 a) 基板に所定の導電型の元素をドーピングして拡散領域(11)を形成した後に、該拡散領域に隣接して隣り合うアクセス線(15)을 마스크하여該拡散領域의一部分을露出する工程と、前記アクセス線(15)は、絶縁層(13)で覆われた活性金属-산화物트ランジスタ와絶縁分離のための絶縁体스페어사(16)와소스/드레인領域의擴散領域(11)와따라なる 액세스裝置で構成され、

b) 前記露出された擴散領域을貫通して 트렌치를形成して前記擴散領域(11)을分斷し、かつ前記絶縁体스페어사(16)의外側下部를自己整合して前記分斷された擴散領域中ニエッジ部(31)을形成する工程と、

c) 前記絶縁体스페어사(16)을ETCH BACK하여前記分斷された擴散領域(11)의前記エッジ部를露出する工程と、

d) 前記 트렌치(22)、前記露出したエッジ部及び前記絶縁体스페어사(16)上을覆って絶縁層(41)을形成する工程と、

e) 前記絶縁層(41)上을覆って導電層(42)을形成して、前記分斷された擴散領域(11)와前記導電層(42)との間ニはさまれて設けられた前記絶縁層(41)からなる 프로그램可能な素子을形成する工程와따라なる半導体裝置의 프로그램特性을改善したワンタイム 프로그램可能な素子의製造方法。

【請求項2】 a) 基板に第1導電型の重いドーピングして擴散領域(11)을形成した後に、該擴散領域(11)に隣接して隣り合うアクセス線(15)을 마스크하여、該擴散領域의一部分을露出する工程と、前記アクセス線(15)は、絶縁層(13)で覆われた活性金属-산화物트ランジスタ와絶縁分離のための絶縁体스페어사(16)와소스/드레인領域의擴散領域(11)와따라なる 액세스裝置で構成され、

b) 前記露出された擴散領域을貫通して 트렌치를形成して、前記擴散領域(11)을分斷し、かつ前記絶縁体스페어사(16)의外側下部를自己整合して前記分斷された擴散領域中ニエッジ部(31)을形成する工程と、

c) 前記絶縁体스페어사(16)을ETCH BACK하여前記分斷された擴散領域(11)의前記エッジ部를露出する工程と、

d) 前記露出されたエッジ部ニ第2の導電型の重いドーピングして、第2の導電型のエッジ部(31)을形成する工程と、

e) 前記 트렌치(22)、前記エッジ部及び前記絶縁体스페어사(16)上을覆って絶縁層(41)을形成する工程と、

f) 前記絶縁層(41)上을覆って導電層(42)을形成して、前記分斷された擴散領域(11)와前記導電層(42)との間ニはさまれて設けられた絶縁層(41)からなる 프로그램可能な素子을形成する工程와따라なる

半導体裝置의 프로그램特性을改善したワンタイム 프로그램可能な素子의製造方法。

【請求項3】 a) N+ 擴散領域(11)に隣接して隣り合うアクセス線(15)을 마스크하여該擴散領域의一部分을露出する工程と、前記アクセス線(15)は、絶縁層(13)で覆われた活性金属-산화物트ランジスタ와絶縁分離のための絶縁体스페어사(16)와소스/드레인領域의前記N+ 擴散領域(11)와따라なる 액세스裝置で構成され、

b) 前記露出されたN+ 擴散領域(11)을貫通して 트렌치를形成して、前記擴散領域(11)을分斷し、かつ前記絶縁体스페어사(16)의外側下部를自己整合して前記分斷されたN+ 擴散領域中ニエッジ部(31)을形成する工程と、

c) 前記絶縁体스페어사(16)을ETCH BACK하여、分斷されたN+ 擴散領域(11)의前記エッジ部를露出する工程と、

d) 前記 트렌치(22)、前記露出されたエッジ部及び前記絶縁体스페어사(16)上을覆って絶縁層(41)을形成する工程と、

e) 前記絶縁層(41)上을覆って導電層(42)을形成して、前記分斷されたN+ 擴散領域(11)와前記導電層(42)との間ニ設けられた絶縁層(41)からなる 프로그램可能な素子을形成する工程와따라なる半導体裝置의 프로그램特性을改善したワンタイム 프로그램可能な素子의製造方法。

【請求項4】 a) N+ 擴散領域(11)に隣接して隣り合うアクセス線(15)을 마스크하여前記N+ 擴散領域의一部分을露出する工程と、前記アクセス線(15)は、絶縁層(13)で覆われた活性金属-산화物트ランジスタ와絶縁分離のための絶縁体스페어사(16)와소스/드레인領域의前記N+ 擴散領域(11)와따라なる 액세스裝置で構成され、

b) 前記露出されたN+ 擴散領域(11)을貫通して 트렌치를形成して、前記擴散領域(11)을分斷し、かつ前記絶縁体스페어사(16)의外側下部를自己整合して前記分斷された擴散領域中ニエッジ部(31)을形成する工程と、

c) 前記絶縁体스페어사(16)을ETCH BACK하여分斷されたN+ 擴散領域(11)의前記エッジ部를露出する工程と、

d) 前記露出されたエッジ部ニN- のドーピングして、N- エッジ部を形成する工程と、

e) 前記 트렌치(22)、前記エッジ部及び前記絶縁体스페어사(16)上을覆って絶縁層(41)을形成する工程と、

f) 前記絶縁層(41)上을覆って導電層(42)을形成して、前記分斷されたN- 擴散領域(11)와前記導電層(42)との間ニ設けられた前記絶縁層(41)からなるプ

プログラム可能なアンチフューズ素子を形成する工程とからなる半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

【請求項5】 前記プログラム可能な素子は、プログラム可能なアンチフューズであることを特徴とする請求項1及び2記載の半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

【請求項6】 前記半導体装置は、不揮発性メモリ、PROM、及びDRAMから本質的になる群から選択されるメモリであることを特徴とする請求項1、2、3及び4記載の半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

【請求項7】 前記導電型は、N<sup>+</sup>及びP<sup>+</sup>から本質的になる群から選択されることを特徴とする請求項1記載の半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

【請求項8】 前記エッジ部は、プログラミングパルスが与えられている間、前記アクセス装置に該装置以外のアンチフューズ界面の電磁電界より大きい電磁電界を生じさせることを特徴とする請求項1、2、3及び4記載の半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

【請求項9】 前記プログラム可能な素子をプログラムするために用いられる前記プログラミングパルスは、50  $\mu$ sec以下で14V以下の電圧パルスであることを特徴とする請求項8記載の半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

【請求項10】 前記第1の導電型は、N<sup>-</sup>及びP<sup>-</sup>から本質的になる群から選択され、前記第2の導電型は、N<sup>+</sup>及びP<sup>+</sup>から本質的になる群から選択されることを特徴とする請求項2記載の半導体装置のプログラム特性を改善したワнтаムプログラム可能な素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法、特に不揮発メモリのような半導体装置のプログラム特性を改善したアンチフューズ素子の製造方法に関する。

##### 【0002】

【従来の技術】リードオンリーメモリ（ROM）は、ダイオード、バイポーラ、あるいは電界効果トランジスタのような半導体装置のアレイから構成されており、“1”又は“0”の二値のデータを蓄えるために相互接続されている。ROMは、プログラムされたデータのメモリアレイとメモリアレイ中の所定のアドレスデータを選択するためデコーダとからなる。ROMには、3つの基本的なタイプ、すなわちマスクプログラマブルROM、書換え可能なプログラマブルROM（EPROM）、及びフィールドプログラマブルROM（PRO

M）があるが、本発明は、PROMに関する。

【0003】PROMは、アレイの列と行との交点にフューズ素子あるいはアンチフューズ素子のいずれかのスイッチング素子を設けて構成される。PROM中にデータを蓄えるために、該素子は、PROMライターによって供給される適当な電圧パルスにより選択的にプログラムされる。フューズ素子又はアンチフューズ素子の選択は、設計による。該素子は、一度、プログラムされると、そのデータはメモリアレイ中に永久に蓄積される。

##### 【0004】

【発明が解決しようとする課題】しかしながら、アンチフューズ素子は、通常14-20Vのプログラミングパルスで破壊する。もし、このパルス電圧が下げられることができれば、PROMは、ダメージ電圧を受けることがより少なくなる。実際、大きな電圧を制御するには大きなサイズのトランジスタが必要であるが、プログラミングパルス電圧が、トランジスタの通常の動作電圧に近づくほど、トランジスタのサイズは小さくすることが可能となる。それによって、トランジスタのパンチスルー、ゲート絶縁破壊等の問題をなくすることができる。

【0005】本発明は、上記のような問題点を解消するためになされたもので、局所的な電界増強の拡散領域を設けたアンチフューズ素子を開発することによってプログラミングパルス電圧を実質的に低下させることを目的とする。

##### 【0006】

【課題を解決するための手段】本発明は、局所的な電界増強の拡散領域を利用することによってアンチフューズ素子のプログラム特性を改良することにある。アンチフューズ素子を用いた半導体装置の製造工程において、アクセス線、すなわちワード線を形成した後、トレンチを隣接するアクセス線間に拡散領域を貫通して自己整合で形成する。アクセス線のスペーサのエッチバックに続いて、重いドーズをスペーサのエッチバックの結果形成された拡散領域のエッジ部分に低エネルギーのイオン注入でドーピングすると同時にトレンチの底部にも同様にドーピングする。アンチフューズ絶縁層を形成した後、第2の導電性のアクセス線、すなわちソース線を形成する。このアクセス線をプログラム可能なアンチフューズ素子として作用するためにトレンチ内に埋込む。拡散領域中で重いドーズのドーピングされた領域は、プログラム電圧レベルを低下させ、さらにアンチフューズ絶縁層の両側絶縁破壊をもたらす。

##### 【0007】

【作用】本発明におけるアンチフューズ素子のプログラム特性改良工程は、拡散領域を貫通してトレンチを形成した後、該拡散領域中に重いドーズのドーピングされた局所的な電界増強の領域を形成し、その後トレンチ内にアンチフューズ絶縁層、導電層を埋込ませてアンチフューズ素子を形成することでプログラム電圧を低下させ、か

つアンチフューズ素子の絶縁破壊をもたらす。

【0008】なお、本発明は、局所的な電界増強の拡散領域を用いてPROMのアンチフューズ素子のプログラム特性を改良することを提供するが、プログラマブルロジックアレイ（PLA）、プログラムアレイロジック（PAL）、DRAM、あるいはロジックデバイスのような他の半導体装置にこの技術を適用することは当業者にとって容易であろう。例えば、DRAMにおいて、アンチフューズ素子は、冗長性の修繕のため、又はあるオプションを選択するための手段を提供するための回路に用いられる。

【0009】

【実施例】本発明は、図2-8の製造工程に示されるように基板に形成された局所的な電界増強の拡散領域を利用することによってアンチフューズ素子のプログラム特性を向上することにある。

【0010】図2は、ワンタイムプログラム可能な素子の形成に先立って形成されるPROMの通常の製造工程中の一工程のウエハ部の断面図である。この断面図は、パターニングされたポリSi 14からなるワード線15と薄いゲート絶縁膜12によって基板10から分離され、パターニングされた絶縁層13とを示す。ワード線スペーサ16は、拡散領域11が、所定の導電型にドーパされた後、ワード線15を完全に絶縁するために形成される。拡散領域11は、最初にN<sup>+</sup>にドーパされる（図2b）か、又はLDD構造を作る場合にはスペーサ16の形成に先立ってN<sup>-</sup>にドーパされた後（図2a）、N<sup>+</sup>導電性を形成するため重いドーパをイオン注入でドーパされる。

【0011】図3又は4において、マスク21、例えばホトレジストは、隣り合うワード線15間をつなぐ領域を露出するようにパターニングされる。次に、エッチングが行なわれ、基板10内にトレンチ22が形成され、拡散領域11を分断する。トレンチ22は、スペーサ16による隣り合うワード線15を自己整合して形成される。

【0012】LDDプロセスを採用する場合、本発明は図5、次に図7の工程となるが、最初に重いドーパ注入が行なわれる場合には、図6、次に図8の工程となる。

【0013】図5のLDDプロセスの場合、マスク21は、そのまま残しておき、スペーサ16は、フッ化水素でエッチングされて削られ、拡散領域11のシャープなエッジ部31が露出される。次に、ひ素のような重いドーパが、低エネルギーのイオン注入で拡散領域11にドーパされ、露出されたエッジ部31はN<sup>+</sup>領域を形成する。このイオン注入は、同時にトレンチ22の底部にも行なわれ、該底部は、N<sup>+</sup>領域を形成する。

【0014】図4bのLDDプロセスを採用しない場合、マスク21は、そのまま残しておき、スペーサ16は、フッ化水素でエッチングされて削られ、拡散領域1

1のシャープなエッジ部31が露出される。

【0015】図3及び図5のLDDプロセスは、次に図7、また図4及び図6のLDDプロセスを採らないプロセスは、次に図8のプロセスをそれぞれとる。

【0016】図7又は図8において、アンチフューズ絶縁層41は、通常高い誘電体特性を備えた薄い絶縁物からなり、ポリSi 42の堆積の後に堆積される。ポリSi 42は、トレンチ22に埋込まれてメモリアレイのアクセス線、すなわちソース線として作用する。

【0017】プログラム可能なアンチフューズ素子は、N<sup>-</sup>拡散領域11でN<sup>+</sup>にドーパされたエッジ部31とアンチフューズ絶縁層41によって分離されたポリSi 42との間に形成される。N<sup>+</sup>エッジ部31はLDDプロセスを採るか否かにかかわらず本発明によって得られたものである。

【0018】このN<sup>+</sup>エッジ部31は、アンチフューズ素子が一度絶縁層41を破壊するプログラミングパルスを受けると、高い電磁電界（E-電界）を生じ、N<sup>+</sup>エッジ部31、そして最終的に拡散領域11を短絡させる。E-電界の強化は、通常使われるプログラミング電圧よりより低い電圧でアンチフューズ絶縁層41を実質的に破壊をもたらす。

【0019】例えば、プログラミング電圧パルスは、通常14-20V、もしくはそれ以上の範囲にある。このことは、形成されるトランジスタがダメージを受けることなしに電圧スパイクを制御するには、そのトランジスタサイズを十分に大きくしなければならないことを意味する。本発明によれば、アンチフューズ素子は、14V以下のパルス電圧を用いてプログラムすることが可能となり、実験によれば、10~12Vで十分に可能であることが証明された。

【0020】

【発明の効果】プログラミング電圧をより低くできるのみならず、その周期も短くできるので、アクセストランジスタは、そのプログラミングパルスに一致してサイズを小さくすることができる。通常のプログラミング方法を用いる場合、プログラミングのパルス中は数百μsecであるのに対し、本発明の場合そのパルス中は50μsec以下に減ずることが可能となる。

【図面の簡単な説明】

【図1】図5及び図6にアンチフューズ絶縁層及びワードラインとしてのポリSiを堆積したウエハの断面図を示す。

【図2】PROMの製造工程において、ワード線、ワード線スペーサ及び拡散領域を形成したウエハの断面図を示す。

【図3】図2においてマスクを設けて、自己整合をしてトレンチを形成したウエハの断面図を示す。

【図4】図2においてマスクを設けて、自己整合をしてトレンチを形成したウエハの断面図を示す。

【図5】図3及び図4の工程に続いてスペーサをエッチバックしたウエハの断面図を示す。

【図6】図3及び図4の工程に続いてスペーサをエッチバックしたウエハの断面図を示す。

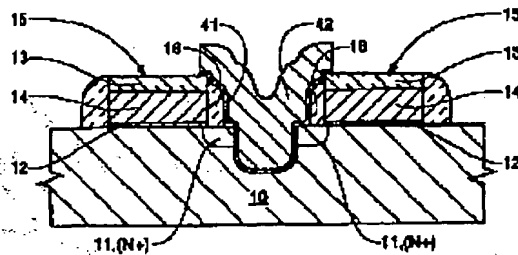
【図7】図5及び図6の工程に続いてアンチフューズ絶縁層及びワード線としてのポリSiを堆積したウエハの断面図を示す。

【図8】図5及び図6の工程に続いてアンチフューズ絶縁層及びワード線としてのポリSiを堆積したウエハの断面図を示す。

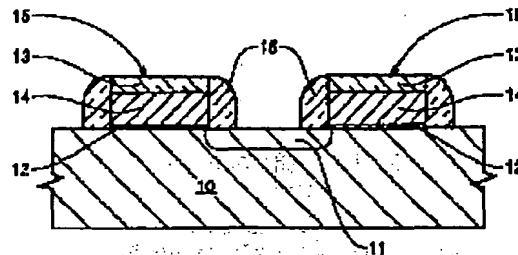
【符号の説明】

- 10 基板
- 11 拡散領域
- 13 絶縁層
- 15 アクセス線
- 16 絶縁体スペーサ
- 22 トレンチ
- 31 エッジ部
- 41 アンチフューズ絶縁層
- 42 導電層

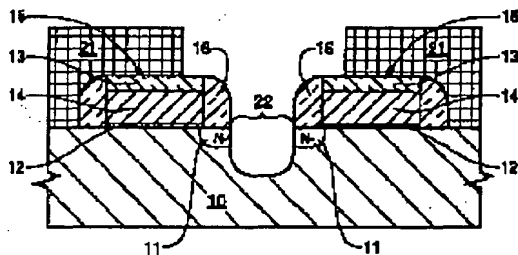
【図1】



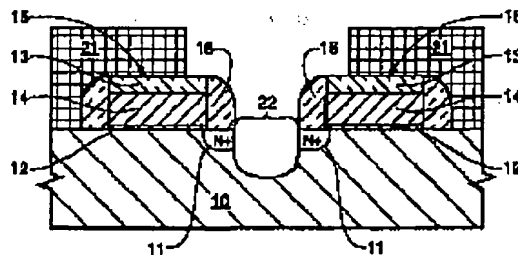
【図2】



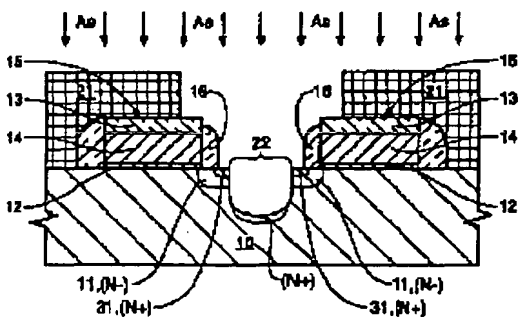
【図3】



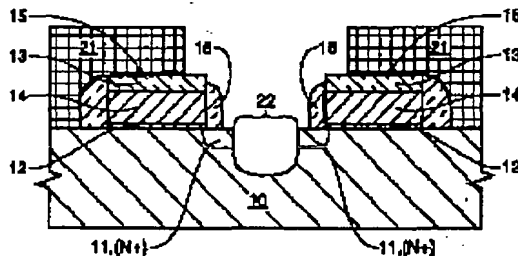
【図4】



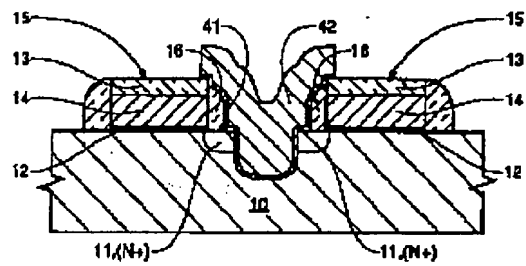
【図5】



【図6】



【図8】



(51)Int.Cl.5

識別記号

室内整理番号

F I

技術表示箇所

HO 1 L 27/10

325 N